

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP10096949

Publication date: 1998-04-14

Inventor(s): HANAZAWA YASUYUKI; YAMAMOTO KAYO; IZUKI YOSHIHARU; KITAZAWA TOMOKO; NAGAYAMA KOHEI; NAKAZATO MASAHIRO; TAKEBAYASHI KISAKO; IIZUKA TETSUYA

Applicant(s): TOSHIBA ELECTRON ENG CORP.; TOSHIBA CORP

Requested Patent: ☐ JP10096949

Application Number: JP19960251962 19960924

Priority Number (s):

IPC

Classification: G02F1/136

EC

Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve a numerical aperture of a pixel and to make possible obtaining an excellent display with low power consumption by connecting a pixel electrode to a conductive member through a contact hole penetrating through an interlayer insulation film on a storage capacity line and connecting it to a source electrode through this conductive member.

SOLUTION: A transparent conductive film 38 is provided on an insulation film 16 in an area provided with the pixel electrode 10. The transparent conductive film 38 is connected electrically to the source electrode 35 of a TFT 8, and passes through the area provided with the pixel electrode 10, and is provided through the insulation film 16 on the storage capacity line 15. Further, a light transmissive interlayer insulation film 9 covering a scanning line 6, a signal line 7, the TFT 8, the storage capacity line 15 and the transparent conductive film 38, etc., is provided on the whole surface of an insulated substrate 5. The pixel electrode 10 is provided on the interlayer insulation film 9, and is connected electrically with the transparent conductive film 38 on the storage capacity line 15 through the protective insulation film 36 of the TFT 8 prolonged on the storage capacity line 15 and the contact hole 18 penetrating through the interlayer insulation film 9.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-96949

(43) 公開日 平成10年(1998) 4月14日

(51) Int. Cl.⁶
G 0 2 F 1/136

識別記号

F I
G 0 2 F 1/136

審査請求 未請求 請求項の数13 O L (全 19 頁)

(21) 出願番号 特願平8-251962

(22) 出願日 平成8年(1996) 9月24日

(71) 出願人 000221339

東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日進町7番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 花澤 康行

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 山本 佳世

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 弁理士 大胡 典夫

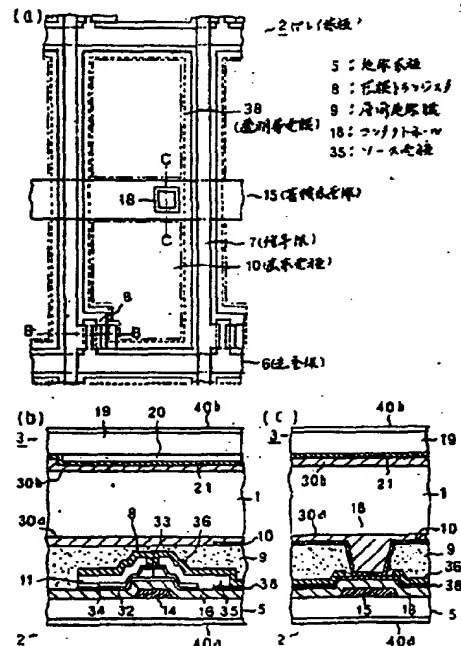
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 画素の開口率を向上させて、低い消費電力で良好な表示性能が得られるアクティブマトリクス型液晶表示装置を構成することを目的とする。

【解決手段】 アクティブマトリクス型液晶表示装置において、蓄積容量線15上に薄膜トランジスタ7の遮光性材料からなるソース電極35に電気的に接続された導電部材38を絶縁膜16を介して設け、画素電極10を蓄積容量線上の層間絶縁膜9を貫通するコンタクトホール18を介して導電部材に接続し、この導電部材を介してソース電極に接続した。



【特許請求の範囲】

【請求項1】 絶縁基板上に複数個の薄膜トランジスタ、複数本の蓄積容量線および互いに交差する方向に複数本の走査線と複数本の信号線が設けられ、これら薄膜トランジスタ、蓄積容量線、走査線および信号線上に少なくとも層間絶縁膜が形成され、この層間絶縁膜を介して上記走査線と信号線とにより区画された領域に画素電極が設けられてなるアレイ基板を備えるアクティブマトリクス型液晶表示装置において、

上記蓄積容量線には上記薄膜トランジスタの遮光性材料からなるソース電極に電氣的に接続された導電部材が絶縁膜を介して設けられ、上記画素電極が上記蓄積容量線上の層間絶縁膜を貫通するコンタクトホールを介して上記導電部材に接続され、この導電部材を介して上記ソース電極に接続されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 導電部材が透明導電膜からなることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】 導電部材がソース電極と同一遮光性材料からなることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項4】 導電部材の面積が画素電極の面積よりも小さいことを特徴とする請求項3記載のアクティブマトリクス型液晶表示装置。

【請求項5】 導電部材は少くとも一部が画素の開口部外に位置することを特徴とする請求項3記載のアクティブマトリクス型液晶表示装置。

【請求項6】 前段の走査線が自段の蓄積容量線を兼ね、画素電極および導電部材がこの前段の走査線と重なり合い、この前段の走査線上の層間絶縁膜を貫通するコンタクトホールを介して上記画素電極と上記導電部材が接続されていることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項7】 蓄積容量線が薄膜トランジスタに接近して設けられていることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項8】 層間絶縁膜は特定の吸収波長をもつ着色膜からなることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項9】 絶縁基板上に複数個の薄膜トランジスタ、複数本の蓄積容量線および互いに交差する方向に複数本の走査線と複数本の信号線が設けられ、これら薄膜トランジスタ、蓄積容量線、走査線および信号線上に上記薄膜トランジスタの保護絶縁膜および層間絶縁膜が形成され、これら保護絶縁膜および層間絶縁膜を介して上記走査線と信号線とにより区画された各領域に画素電極が設けられ、この画素電極が上記保護絶縁膜および層間絶縁膜を貫通するコンタクトホールを介して上記薄膜トランジスタのソース電極に接続されてなるアレイ基板を

備えるアクティブマトリクス型液晶表示装置において、上記蓄積容量線の下部には上記薄膜トランジスタの半導体層およびゲート絶縁膜と同一材料からなる半導体層および絶縁膜を介して蓄積容量電極が設けられ、この蓄積容量電極に上記保護絶縁膜および層間絶縁膜を貫通するコンタクトホールを介して上記画素電極が接続され、上記蓄積容量電極と上記画素電極との間に第1の蓄積容量が形成され、上記蓄積容量電極と上記蓄積容量線との間に第2の蓄積容量が形成されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項10】 前段の走査線が自段の蓄積容量線を兼ね、画素電極が保護絶縁膜および層間絶縁膜を介してこの前段の走査線と重なり合い、この前段の走査線上の保護絶縁膜および層間絶縁膜を貫通するコンタクトホールを介して上記画素電極と蓄積容量電極が接続されていることを特徴とする請求項9記載のアクティブマトリクス型液晶表示装置。

【請求項11】 蓄積容量線と画素電極との間の層間絶縁膜の厚さが他の部分の層間絶縁膜の厚さよりも薄いことを特徴とする請求項9記載のアクティブマトリクス型液晶表示装置。

【請求項12】 絶縁基板上に複数個の薄膜トランジスタ、複数本の蓄積容量線および互いに交差する方向に複数本の走査線と複数本の信号線が設けられ、これら走査線と信号線とにより区画された領域に画素電極が設けられてなるアレイ基板と、このアレイ基板とスペーサを介して対向する対向基板とを備えるアクティブマトリクス型液晶表示装置において、

上記アレイ基板の蓄積容量線上に絶縁膜を介して上記画素電極に接続される蓄積容量電極が設けられ、この画素電極と蓄積容量電極との接続部を避けて上記蓄積容量線上にカラフィルター層を構成する3色着色層間絶縁膜と遮光膜が積層され、この着色層間絶縁膜と遮光膜の積層が上記アレイ基板と上記対向基板とのスペーサを構成していることをアクティブマトリクス型液晶表示装置。

【請求項13】 前段の走査線が自段の蓄積容量線を兼ね、この前段の走査線上に着色層間絶縁膜と遮光膜の積層が形成されていることを特徴とする請求項12記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜トランジスタをスイッチング素子として画素電極がマトリクス状に設けられたアレイ基板を備えるアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】近年、高密度かつ大容量でありながら、高機能、高精細な表示が得られる液晶表示装置の実用化が進められている。

【0003】この液晶表示装置には、各種方式がある

が、なかでも、隣接画素間のクロストークがなく、高コントラストの表示が得られ、透過型表示が可能かつ大面積化も容易などの理由から、互いに交差する方向に設けられた複数本の走査線と複数本の信号線により区画された複数個の領域に薄膜トランジスタ(TFT)をスイッチング素子として画素電極がマトリクス状に設けられたアレイ基板を備えるアクティブマトリクス型液晶表示装置が多く用いられている。

【0004】従来、このアクティブマトリクス型液晶表示装置は、図23に示すように、液晶1を介して対向するアレイ基板2と対向基板3を備える。そのアレイ基板2には、透明絶縁基板5の対向基板3との対向面に互いに交差する方向に複数本の走査線6と複数本の信号線7が設けられ、これら走査線6と信号線7の交差部の近くにTFT8が、また光透過性層間絶縁膜9を介して走査線6と信号線7により区画された領域に画素電極10が設けられている。そのTFT8は、ドレイン電極11が信号線7に接続され、ソース電極12が層間絶縁膜9を貫通するコンタクトホール13を介して画素電極10に接続されている。また、画素電極10の下部の絶縁基板上には、TFT8のゲート電極14や走査線6と同一遮光性材料からなる蓄積容量線15が設けられ、この蓄積容量線15上にTFT8のゲート絶縁膜16(絶縁膜)の延長部分を介して、ドレイン電極11、ソース電極12および信号線7と同一遮光性材料からなる蓄積容量電極17が設けられている。そしてこの蓄積容量電極17は、上記層間絶縁膜9を貫通するコンタクトホール18を介して画素電極10に接続され、蓄積容量線15との間に補助容量を形成する構造に形成されている。

【0005】一方、対向基板3には、透明絶縁基板19のアレイ基板2との対向面に遮光膜20および共通電極21が設けられている。

【0006】

【発明が解決しようとする課題】上記のように、従来のアクティブマトリクス型液晶表示装置は、走査線と信号線の交差部の近くにTFTが、また光透過性層間絶縁膜を介して走査線と信号線により区画された領域に画素電極が、さらにこの画素電極の下部に設けられた蓄積容量線と絶縁膜を介して蓄積容量電極が設けられ、その層間絶縁膜を貫通するコンタクトホールを介して、TFTのソース電極および蓄積容量電極と画素電極とが接続された構造に形成されている。

【0007】しかし、このような構造の液晶表示装置でクロストークのない良好な表示を得るためには、信号線と画素電極との間の層間絶縁膜を数 μm の厚さに薄くしなければならない。さらに十分大きなTFTのオン電流を確保するためには、TFTのソース電極と画素電極とのコンタクト抵抗を十分に小さくしなければならず、そのためには大きなコンタクトホールが必要となる。しかも非常に薄い透明導電膜からなる画素電極に段切れを

生させることなく形成するために、コンタクトホールをテーパーホールとしたり、さらにフォトリソ法により形成されるコンタクトホールの露光時の合わせずれなどを考慮して、形成されるコンタクトホールよりも、かなり大きなソース電極を形成することが必要となる。その結果、ソース電極は、遮光性材料からなため、画素の開口率を大きくすることが困難である。

【0008】また、この液晶表示装置では、TFTのゲート電極や走査線と同一工程で形成される蓄積容量線と、TFTのソース電極、ドレイン電極および信号線と同一工程で形成される蓄積容量電極との間に補助容量が形成されるため、これら蓄積容量線と蓄積容量電極との合わせずれを考慮して、図23(a)に示したように、蓄積容量電極18の幅を蓄積容量線14の幅よりも d (μm)大きく形成するか、あるいは図24に示すように、小さく形成する必要がある。このように蓄積容量電極の幅と蓄積容量線の幅を異ならしめると、蓄積容量電極の幅が蓄積容量線の幅よりも大きい場合は、必要な補助容量は容易に得られるが、蓄積容量電極が遮光性材料からなるため、画素の開口率を減少させる。また蓄積容量電極の幅が蓄積容量線の幅よりも小さい場合は、必要な補助容量を得るために、蓄積容量線の幅を大きくしなければならず、同様に画素の開口率を減少させる。

【0009】また、このような液晶表示装置では、画素電極と信号線やドレイン電極との容量結合や短絡不良を防ぐため、画素電極を信号線やドレイン電極から所定距離離して設けられる。さらに画素電極と走査線や信号線との隙間から漏れる光によるコントラストの低下を防ぐため、対向基板に遮光膜が設けられる。しかもこの遮光膜の大きさは、アレイ基板との貼り合わせ精度を考慮して設けられるため、この遮光膜により画素の開口が規制される。その結果、画面の輝度が低下し、バックライトの光量を上げなければならず、消費電力が上昇する。

【0010】この発明は、上記問題点を解決するためになされたものであり、画素の開口率を向上させて、低い消費電力で良好な表示が得られるアクティブマトリクス型液晶表示装置を構成することを目的とする。

【0011】

【課題を解決するための手段】

(1) 絶縁基板上に複数個の薄膜トランジスタ、複数本の蓄積容量線および互いに交差する方向に複数本の走査線と複数本の信号線が設けられ、これら薄膜トランジスタ、蓄積容量線、走査線および信号線上に少なくとも層間絶縁膜が形成され、この層間絶縁膜を介して走査線と信号線とにより区画された領域に画素電極が設けられてなるアレイ基板を備えるアクティブマトリクス型液晶表示装置において、蓄積容量線上に薄膜トランジスタの遮光性材料からなるソース電極に電気的に接続された導電部材が絶縁膜を介して設け、画素電極を蓄積容量線上の層間絶縁膜を貫通するコンタクトホールを介してそ

の導電部材に接続し、この導電部材を介してソース電極に接続した。

【0012】(2) (1)のアクティブマトリクス型液晶表示装置において、導電部材を透明導電膜で構成した。

【0013】(3) (1)のアクティブマトリクス型液晶表示装置において、導電部材をソース電極と同一遮光性材料で構成した。

【0014】(4) (3)のアクティブマトリクス型液晶表示装置において、導電部材の面積を画素電極の面積よりも小さくした。

【0015】(5) (3)のアクティブマトリクス型液晶表示装置において、導電部材の少くとも一部を画素の開口部外に位置させた。

【0016】(6) (1)のアクティブマトリクス型液晶表示装置において、前段の走査線が自段の蓄積容量線を兼ね、画素電極および導電部材がこの前段の走査線と重ね合わせ、この前段の走査線上の層間絶縁膜を貫通するコンタクトホールを介して画素電極と導電部材に接続した。

【0017】(7) (1)のアクティブマトリクス型液晶表示装置において、蓄積容量線を薄膜トランジスタに接近して設けた。

【0018】(8) (1)のアクティブマトリクス型液晶表示装置において、層間絶縁膜は特定の吸収波長をもつ着色膜で構成した。

【0019】(9) 絶縁基板面上に複数個の薄膜トランジスタ、複数本の蓄積容量線および互いに交差する方向に複数本の走査線と複数本の信号線が設けられ、これら薄膜トランジスタ、蓄積容量線、走査線および信号線上に薄膜トランジスタの保護絶縁膜および層間絶縁膜が形成され、これら保護絶縁膜および層間絶縁膜を介して走査線と信号線とにより区画された各領域に画素電極が設けられ、この画素電極が保護絶縁膜および層間絶縁膜を貫通するコンタクトホールを介して薄膜トランジスタのソース電極に接続されてなるアレイ基板を備えるアクティブマトリクス型液晶表示装置において、蓄積容量線の下部に薄膜トランジスタの半導体層およびゲート絶縁膜と同一材料からなる半導体層および絶縁膜を介して蓄積容量電極を設け、この蓄積容量電極に保護絶縁膜および層間絶縁膜を貫通するコンタクトホールを介して画素電極を接続し、蓄積容量電極と画素電極との間に第1の蓄積容量を形成し、蓄積容量電極と蓄積容量線との間に第2の蓄積容量を形成する構造とした。

【0020】(10) (9)のアクティブマトリクス型液晶表示装置において、前段の走査線が自段の蓄積容量線を兼ね、画素電極を保護絶縁膜および層間絶縁膜を介してこの前段の走査線と重ね合わせ、この前段の走査線上の薄膜トランジスタ保護膜および層間絶縁膜を貫通するコンタクトホールを介して画素電極と蓄積容量電極

を接続した。

【0021】(11) (9)のアクティブマトリクス型液晶表示装置において、蓄積容量線と画素電極との間の層間絶縁膜の厚さを他の部分の層間絶縁膜の厚さよりも薄くした。

【0022】(12) 絶縁基板面上に複数個の薄膜トランジスタ、複数本の蓄積容量線および互いに交差する方向に複数本の走査線と複数本の信号線が設けられ、これら走査線と信号線とにより区画された領域に画素電極が設けられてなるアレイ基板と、このアレイ基板とスペーサを介して対向する対向基板とを備えるアクティブマトリクス型液晶表示装置において、アレイ基板の蓄積容量線に絶縁膜を介して画素電極に接続される蓄積容量電極を設け、この画素電極と蓄積容量電極との接続部を避けて蓄積容量線にカラフィルター層を構成する3色着色層間絶縁膜層と遮光膜を積層し、この着色層と遮光膜の積層をアレイ基板と対向基板とのスペーサとした。

【0023】(13) (12)のアクティブマトリクス型液晶表示装置において、前段の走査線が自段の蓄積容量線を兼ね、この前段の走査線上に着色層間絶縁膜層と遮光膜の積層を形成した。

【0024】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を実施例に基づいて説明する。

【0025】

【実施例1】図1に実施例1のアクティブマトリクス型液晶表示装置を示す。この液晶表示装置は、液晶1を介して対向するアレイ基板2と対向基板3を備える。そのアレイ基板2には、ガラスからなる透明絶縁基板5の対向基板3との対向面に互いに交差する方向に複数本の走査線6と複数本の信号線7が設けられ、これら走査線6と信号線7の交差部の近くにそれぞれ薄膜トランジスタ8(TFT)が、また走査線6と信号線7により区画された複数の領域に画素電極10が設けられている。またその各画素電極10の中央部を横切るように走査線6と平行に蓄積容量線15が設けられている。さらにこのアレイ基板2の液晶物質1と接する面には配向膜30aが設けられている。なお、40a、40bは、各基板2、3の外面に貼着された偏向板である。

【0026】そのTFT8は、透明絶縁基板5の対向基板3との対向面に、遮光性材料たとえばTa、Cr、Al、Mo、W、Cuなどの単体またはその積層膜あるいは合金膜などの遮光性材料からなるゲート電極14と、このゲート電極14および走査線6を覆うように透明絶縁基板5の全面に設けられた酸化シリコン(SiO₂)からなる絶縁膜16(ゲート絶縁膜)と、この絶縁膜16を介してゲート電極14上に設けられたi型の水素化アモルファスシリコン(i型a-Si:H)からなる半導体層32と、この半導体層32上に設けられた窒化シ

リコン(SiN_x)からなるエッチング保護層33と、このエッチング保護層33で覆われない半導体層32およびエッチング保護層33上に設けられたn型の水素化アモルファスシリコン(n型a-Si:H)からなるオーミックコンタクト層34と、このオーミックコンタクト層34上に、遮光性材料たとえばTi、Cr、Al、Mo、W、Cuなどの単体またはその積層膜あるいは合金膜などの遮光性材料からなるソース電極35およびドレイン電極11と、これらソース電極35およびドレイン電極11を覆うSiN_xからなる保護絶縁膜36とから構成されている。

【0027】走査線6および蓄積容量線15は、上記TFT8のゲート電極14と同一遮光性材料からなり、その走査線6とゲート電極14とは一体に接続されている。これら走査線6および蓄積容量線15上には、上記TFT8の絶縁膜16が延在しており、信号線7は、この絶縁膜16を介して走査線6および蓄積容量線15と交差している。特にこの液晶表示装置においては、画素電極10の設けられる領域の絶縁膜16上に透明導電膜38(導電部材)が設けられている。この透明導電膜38は、上記TFT8のソース電極35に電氣的に接続され、画素電極10の設けられる領域を通して蓄積容量線15上の絶縁膜16を介して設けられている。また上記絶縁基板5の全面には、上記走査線6、信号線7、TFT8、蓄積容量線15および透明導電膜38などを覆う有機物質などの比較的誘電率の小さい光透過性層間絶縁膜9が設けられている。画素電極10は、この層間絶縁膜9上に設けられ、上記蓄積容量線15上に延在するTFT8の保護絶縁膜36および層間絶縁膜9を貫通するコンタクトホール18を介して、蓄積容量線15上で透明導電膜38と電氣的に接続されている。

【0028】一方、対向基板3は、ガラスからなる透明絶縁基板19のアレイ基板2との対向面に遮光膜20、この遮光膜20上に共通電極21が設けられ、さらにこの共通電極21上の液晶物質1と接する面に配向膜30bが設けられている。

【0029】この液晶表示装置は、つぎのように製造される。

【0030】アレイ基板2については、まず絶縁基板5の対向基板3との対向面に、スパッターリング法により前述したTa、Cr、Al、Mo、W、Cuなどの単体またはその積層膜あるいは合金膜からなる被膜を成膜し、フォトリソ法によりパターンニングして、走査線6、この走査線6と一体に接続されたゲート電極14および蓄積容量線15を形成する。つぎにプラズマCVD法により、これら走査線6、ゲート電極14および蓄積容量線15を覆うように絶縁基板5の全面にSiO₂からなる絶縁膜16を成膜する。

【0031】つぎにプラズマCVD法により順次i型a-Si:Hの被膜およびSiN_xの被膜を成膜し、上記

ゲート電極14を利用した自己整合法によりパターンニングしてエッチング保護層33を形成する。すなわち、上記SiN_x被膜上にレジストを塗布し、ゲート電極14の形成されている絶縁基板5の背面側から露光し、現像して、エッチング保護層33形成部分のみにレジストを残存させたのち、エッチングしてエッチング保護層33を形成する。この方法によりゲート電極14よりも、0~3μm小さいエッチング保護層33が形成される。

【0032】つぎにプラズマCVD法によりn型a-Si:Hの被膜を成膜したのち、フォトリソ法によりこのn型a-Si:Hの被膜および上記i型a-Si:Hの被膜をパターンニングして、半導体層32およびオーミックコンタクト層34を形成する。

【0033】つぎにスパッター法によりITO(Indium Tin Oxide)の被膜を成膜し、フォトリソ法によりパターンニングして透明導電膜38を形成する。つぎにスパッターリング法により前述したTi、Cr、Al、Mo、W、Cuなどの単体またはその積層膜あるいは合金膜からなる被膜を成膜し、フォトリソ法によりパターンニングして、ソース電極35、ドレイン電極11および信号線7を形成する。

【0034】つぎにプラズマCVD法により絶縁基板5の全面にSiN_xからなる保護絶縁膜36を成膜し、フォトリソ法により蓄積容量線15上にコンタクトホール18を構成する開孔を形成する。つぎにスピコート法により絶縁基板5の全面に有機物質などの比較的誘電率の小さい光透過性層間絶縁膜9を成膜し、フォトリソ法により蓄積容量線15上に上記被保護絶縁膜36の開孔と同軸のコンタクトホール18を構成する開孔を形成する。つぎにスパッター法によりITOの被膜を成膜し、フォトリソ法によりパターンニングして画素電極10を形成する。

【0035】その後、低温キュア型ポリイミド樹脂を印刷塗布し、このポリイミド樹脂の被膜をラビング処理して配向膜30aを形成する。

【0036】一方、対向基板3については、透明絶縁基板19のアレイ基板2との対向面にスパッターリング法によりCrなどの被膜を成膜し、フォトリソ法によりパターンニングして遮光膜20を形成する。つぎにスパッター法によりITOの被膜を成膜し、フォトリソ法によりパターンニングして共通電極21を形成する。その後、低温キュア型ポリイミド樹脂を印刷塗布し、このポリイミド樹脂の被膜をラビング処理して配向膜30bを形成する。

【0037】つぎに上記のように形成されたアレイ基板2と対向基板3を配向方向がほぼ90°になるように組合わせて接合し、これら両基板2、3間に液晶1を注入する。その後、そのアレイ基板2および対向基板3の外面に偏光板41a、41bを貼着する。

【0038】上記のように液晶表示装置を構成すると、

TFT8のソース電極35と画素電極10とは透明導電膜38を介して接続され、かつソース電極35と透明導電膜38とはコンタクトホールを介することなく直接接続されるため、遮光性材料からなるソース電極35の大きさを小さくでき、画素の開口率を大きくすることができる。しかも画素電極10と透明導電膜38とを接続するためのコンタクトホール18を十分に大きく形成して接触抵抗を小さくできる。したがってTFT8の十分なオン電流を確保して明るい表示が得られる。また画素電極10は、蓄積容量線15上に設けられたコンタクトホール18を介して透明導電膜38と接続され、蓄積容量線15と絶縁膜16を介して対向する透明導電膜38を蓄積容量電極として、これら蓄積容量線15と透明導電膜38との間に蓄積容量が形成されるため、画素の開口率を下げることなく必要な蓄積容量が得られる。

【0039】

【実施例2】図2に実施例2のアクティブマトリクス型液晶表示装置のアレイ基板を示す。図1に示した実施例1の液晶表示装置では、画素電極の中央部を横切るように走査線と平行に蓄積容量線を設けたが、この実施例2のアレイ基板2は、前段の走査線6と自段の蓄積容量線15を兼ねる構造としたものである。

【0040】すなわち、この液晶表示装置では、透明導電膜38および画素電極10は、それぞれ前段の走査線6上まで延在し、画素電極10は、この前段の走査線6（蓄積容量線15）上に設けられたコンタクトホール18を介して透明導電膜38と接続され、その前段の走査線6と絶縁膜16を介して対向する透明導電膜38との間に蓄積容量が形成される。

【0041】なお、このアレイ基板2の他の構成については、上記各実施例のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0042】このように構成しても、実施例1の液晶表示装置と同様に、ソース電極35と透明導電膜38とはコンタクトホールを介することなく直接接続されるため、遮光性材料からなるソース電極35の大きさを小さくでき、かつ画素電極を横切る蓄積容量線がないため、画素の開口率をより大きくすることができる。

【0043】

【実施例3】図3に実施例3のアクティブマトリクス型液晶表示装置のアレイ基板を示す。図1に示した実施例1のアレイ基板2では、画素領域のほぼ全域に透明導電膜を設けたが、この実施例3のアレイ基板2は、透明導電膜38を走査線6と平行に画素電極10の中央部を横切る蓄積容量線15と重なる画素領域までとしたものである。

【0044】なお、このアレイ基板2のその他の構成については、上記各実施例のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0045】このように構成すると、通常、透明導電膜

38の透過率は90～99%程度あるため、画素電極が設けられる領域のほぼ全面に透明導電膜を設ける場合（実施例1）にくらべて、透明導電膜38による吸収を低減して、画素領域の透過率を向上させることができ、明るい表示が可能となる。

【0046】

【実施例4】図4および図5に実施例4のアクティブマトリクス型液晶表示装置のアレイ基板を示す。図4のアレイ基板2は、透明導電膜38を蓄積容量線15上および画素領域を挟んで延在する一対の信号線7の一方に沿って画素の開口部外に設けたものである。またこのアレイ基板2においては、蓄積容量線15上の蓄積容量電極を構成する部分の透明導電膜38の幅が蓄積容量線15の幅よりも大きく形成されている。

【0047】また図5のアレイ基板2は、透明導電膜38を蓄積容量線15上および画素領域に沿って延在する両側の信号線7および自段の走査線6に沿って画素の開口部外に設けたものである。このアレイ基板2も、蓄積容量線15上の蓄積容量電極を構成する部分の透明導電膜38の幅が蓄積容量線15の幅よりも大きく形成されている。

【0048】なお、これらアレイ基板2のその他の構成については、上記各実施例のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0049】このように構成しても、実施例3と同様に透明導電膜38による吸収を低減して画素領域の透過率を向上させることができ、明るい表示が可能となる。また蓄積容量線15上の蓄積容量電極を構成する部分の透明導電膜38の幅が蓄積容量線15の幅よりも大きく形成されているので、蓄積容量線15と透明導電膜38とに若干の位置ずれが生じても、蓄積容量の変化を防止できる。

【0050】さらに図5のアレイ基板2のように、透明導電膜38を画素領域に沿って延在する両側の信号線7に沿って二股に分けて設けると、透明導電膜38の抵抗を小さくできる。

【0051】

【実施例5】図6に実施例5のアクティブマトリクス型液晶表示装置のアレイ基板を示す。このアレイ基板2では、互いに交差する方向に設けられた走査線6と信号線7の交差部の近くの走査線6上に主要部が重なるようにTFT8が設けられている。またこの液晶表示装置では、TFT8のソース電極35が画素領域を挟んで延在する一対の信号線7の一方に沿って延長され、その延長部41を介して画素電極10の中央部を横切る蓄積容量線15上に絶縁膜16を介して設けられた蓄積容量電極42に接続されている。その延長部41は、アレイ基板2と対向基板との貼着精度を考慮して、画素電極10端よりも8μm程度内側まで張出すように一般に対向基板に形成される遮光膜により規制される画素の開口部外に

設けられている。

【0052】なお、このアレイ基板2の蓄積容量電極42は、幅が蓄積容量線15の幅よりも小さく形成されている。

【0053】このTF T8のソース電極35と蓄積容量電極42との接続構造は、図4に示した実施例4の液晶表示装置とほぼ同じであるが、延長部41および蓄積容量電極42がソース電極35と同一遮光性材料で形成されている点が、透明導電膜からなる実施例4の液晶表示装置と異なる。

【0054】なお、このアレイ基板2のその他の構成については、上記各実施例のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0055】この液晶表示装置のアレイ基板2は、つぎのように製造される。

【0056】まず絶縁基板5の対向基板との対向面に、スパッターリング法により、たとえばTaからなる被膜を300nmの厚さに成膜し、フォトリソ法によりパターニングして、走査線6および蓄積容量線15を形成する。つぎにプラズマCVD法により、これら走査線6および蓄積容量線15を覆うように絶縁基板5の全面にSiO₂からなる絶縁膜16を350nmの厚さに成膜する。

【0057】つぎにプラズマCVD法により順次i型のアモルファスシリコン(i型a-Si)の被膜およびSiN_xの被膜をそれぞれ50nmおよび150nmの厚さに成膜し、通常のフォトリソ法によりパターニングし、上記走査線6の一部をゲート電極14として、このゲート電極14上にエッチング保護層33を形成する。つぎにプラズマCVD法によりn型のアモルファスシリコン(n型a-Si)の被膜を50nmの厚さに成膜し、フォトリソ法によりこのn型a-Siの被膜および上記i型a-Siの被膜をパターニングして、半導体層32およびオーミックコンタクト層34を形成する。

【0058】つぎにスパッター法によりAlの被膜を500nmの厚さに成膜し、フォトリソ法によりパターニングして、ドレイン電極11、ソース電極35、このソース電極35の延長部41、蓄積容量電極42および信号線7を形成する。

【0059】つぎにスパッター法により、絶縁基板5の全面に有機物質などの比較的誘電率の小さい光透過性層間絶縁膜9を成膜し、フォトリソ法により蓄積容量電極42上にコンタクトホール18を形成する。つぎにスパッター法によりITOの被膜を成膜し、フォトリソ法によりパターニングして画素電極10を形成する。

【0060】その後、低温キュア型ポリイミド樹脂を印刷塗布し、このポリイミド樹脂の被膜をラビング処理して配向膜を形成する。

【0061】この実施例5のようにアレイ基板2を構成

すると、蓄積容量電極42とTF T8のソース電極35とを接続するソース電極35の延長部41をソース電極35と同じAlからなる遮光性材料で形成しても、その延長部41を対向基板の遮光膜で覆われる部分に形成でき、画素の開口率の低下を避けることができる。しかも画素電極10とソース電極35とを接続するためのコンタクトホール18を十分に大きく形成して、画素電極10と蓄積容量電極42との接触抵抗を小さくすることができ、表示性能の向上する上に必要なTF T8のオン電流の低下を避けることができる。

【0062】

【実施例6】図7に実施例6のアクティブマトリクス型液晶表示装置のアレイ基板を示す。図6に示した実施例5のアレイ基板では、画素電極の中央部を横切るように走査線と平行に蓄積容量線を設けたが、この実施例6のアレイ基板2は、TF T8に接近して走査線6と平行に蓄積容量線15を設けたものである。

【0063】なお、このアレイ基板2のその他の構成については、上記実施例5のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0064】このようにアレイ基板を構成すると、蓄積容量電極42とTF T8のソース電極35とを接続する延長部41が短くなり、結果的に画素の開口部に対する対向基板の遮光膜の張出しを少なくすることができ、画素の開口部をより大きく形成することができる。

【0065】

【実施例7】図8および図9に実施例7のアクティブマトリクス型液晶表示装置のアレイ基板を示す。

【0066】図8のアレイ基板2は、実施例2に示したアレイ基板と同様に、前段の走査線6が自段の蓄積容量線15を兼ねる構造としたものであり、このアレイ基板2では、TF T8のソース電極35と前段の走査線6上に絶縁膜を介して設けられた蓄積容量電極42とが、信号線7の一方に沿って延長された延長部41を介して一体に接続形成されている。画素電極10は、この前段の走査線6上に設けられたコンタクトホール18を介して蓄積容量電極42に接続されている。

【0067】また、図9のアレイ基板2は、前段の走査線6が自段の蓄積容量線15を兼ね、かつこの蓄積容量線15が信号線7に沿ってTF T8方向に延在している。また一対の信号線7および自段の走査線6に沿ってソース電極35の延長部41が設けられ、この延長部41を介してソース電極35と前段の走査線6上に絶縁膜を介して設けられた蓄積容量電極42とが接続されている。なお、画素電極10は、前段の走査線6上に設けられたコンタクトホール18を介して蓄積容量電極42に接続されている。

【0068】なお、このアレイ基板2のその他の構成については、上記実施例5のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0069】このように構成すると、画素電極を横切る蓄積容量線がないため、画素の開口率を大きくすることができる。

【0070】

【実施例8】図10に実施例8のアクティブマトリクス型液晶表示装置のアレイ基板を示す。上記各実施例では、アレイ基板の光透過性層間絶縁膜を無着色の樹脂被膜で形成したが、この実施例8のアレイ基板2は、その光透過性層間絶縁膜を、青、緑、赤の着色した樹脂被膜からなる光透過性着色層間絶縁膜9B、9G、9Rで構成して、カラーフィルター機能をもたしたものである。

【0071】なお、その他の構成については、上記実施例5のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0072】

【実施例9】図11に実施例9のアクティブマトリクス型液晶表示装置のアレイ基板を示す。このアレイ基板2は、ガラスからなる透明絶縁基板5の対向基板との対向面に絶縁膜44（アンダーコート）が設けられ、この絶縁膜44上に互いに交差する方向に複数本の走査線6と複数本の信号線7が設けられ、これら走査線6と信号線7の交差部の近くにそれぞれTFT8が、また走査線6と信号線7により区画された領域に設けられた画素電極10を横切るように走査線6と平行に蓄積容量線15および蓄積容量電極42が設けられている。

【0073】特にこのアレイ基板2では、TFT8は、上記絶縁膜44上に設けられたたとえばMoからなるソース電極35およびドレイン電極11と、これらソース電極35およびドレイン電極11上に設けられたa-Siからなる半導体層32と、この半導体層32上に設けられたSiN_xからなる絶縁膜16（ゲート絶縁膜）と、この絶縁膜16上に設けられたAlとMoの積層膜からなるゲート電極14と、これらソース電極35、ドレイン電極11、半導体層32、絶縁膜16、ゲート電極14を覆うSiN_xからなる保護絶縁膜36とから構成されている。

【0074】このTFT8の構造に対応して、このアレイ基板2では、絶縁基板5上に設けられた絶縁膜44上にソース電極35およびドレイン電極11と同一遮光性材料からなる信号線7および蓄積容量線15が設けられている。その信号線7とソース電極35とは一体に接続されている。また蓄積容量線15上には、上記TFT8の半導体層32および絶縁膜16と同一材料からなる半導体層32aおよび絶縁膜16aが順次積層形成され、その絶縁膜16a上に上記TFT8のゲート電極14と同一遮光性材料からなる蓄積容量電極42が蓄積容量線15の幅よりも狭い幅で設けられている。またTFT8の保護絶縁膜36は、順次積層された上記蓄積容量線15、半導体層32a、絶縁膜16aおよび蓄積容量電極42を覆って絶縁基板5の全面に設けられ、さらにこの

保護絶縁膜36上に光透過性層間絶縁膜39が設けられている。画素電極10は、この層間絶縁膜9上に設けられ、上記TFT8のソース電極35および蓄積容量線15とそれぞれ保護絶縁膜36およびその上に位置する光透過性層間絶縁膜9を貫通する各1個のコンタクトホール45、18を介して接続されている。

【0075】このようなアレイ基板2は、つぎのように製造される。

【0076】まず、絶縁基板5の対向基板との対向面の全面に、スパッターリング法またはプラズマCVD法によりSiO₂からなる絶縁膜44を成膜する。つぎにこの絶縁膜44上にスパッターリング法によりMoの被膜を成膜し、フォトリソ法によりパターンニングして、ソース電極35、ドレイン電極11、信号線7および蓄積容量線15を形成する。

【0077】つぎにプラズマCVD法によりi型a-Si:Hの被膜を0.1μmの厚さに成膜し、フォトリソ法によりパターンニングして、ソース電極35およびドレイン電極11上に半導体層32、蓄積容量線15上に半導体層32aを形成する。つぎにプラズマCVD法によりSiN_xの被膜を0.4μmの厚さに成膜する。つぎにスパッターリング法によりAlの被膜とMoの被膜を積層して形成し、フォトリソ法によりパターンニングして、ゲート電極14、蓄積容量電極42および走査線6を形成する。ついでフォトリソ法により上記SiN_xの被膜をパターンニングしてゲート電極14のない部分の半導体層32を露出させ、同時にゲート電極14下の絶縁膜16を形成するとともに、蓄積容量電極42下の絶縁膜16aを形成する。

【0078】つぎにゲート電極14をマスクとして上記半導体層32にたとえばリンをドーブし、さらにレーザアニールをおこなって、半導体層32にソース電極35およびドレイン電極11とともにソース領域およびドレイン領域を構成するn+ポリSi領域を形成する。

【0079】つぎにプラズマCVD法により絶縁基板5の全面にSiN_xからなる保護絶縁膜36を成膜し、フォトリソ法によりソース電極35および蓄積容量線15上にそれぞれコンタクトホール45、18を構成する開孔を形成する。つぎにスピンコート法により、絶縁基板5の全面に前述した有機物質などの比較的誘電率の小さい光透過性層間絶縁膜9を成膜する。そしてフォトリソ法により上記ソース電極35および蓄積容量線15上の保護絶縁膜36を貫通する開孔と同軸のコンタクトホール45、18を構成する開孔を形成する。つぎにスパッター法によりITOの被膜を成膜し、フォトリソ法によりパターンニングして画素電極10を形成する。

【0080】その後、低温キュア型ポリイミド樹脂を印刷塗布し、このポリイミド樹脂の被膜をラビング処理して配向膜を形成する。

【0081】上記のようにアレイ基板2を構成すると、このアレイ基板2を用いて形成される液晶表示装置は、蓄積容量電極42と画素電極10との間および蓄積容量電極42と蓄積容量線15との間に蓄積容量が形成される。それにより、必要な蓄積容量を形成するための蓄積容量線15の面積を小さくして、画素の開口率を大きくすることができる。

【0082】すなわち、TFTには、ゲート電極とソース電極との間に容量 C_{gs} が存在し、この容量 C_{gs} のために、走査信号電圧が $V_{q,on}$ から $V_{q,off}$ に切換わる際に、容量分割により画素電極の電位のシフト量 ΔV_p は、画素電極と対向基板の共通電極との間の液晶の容量を C_l 、蓄積容量を C_s とし、

$$\Delta V_q = V_{q,on} - V_{q,off}$$

とすると、数1の関係があり、

【数1】

$$\Delta V_p = \Delta V_q \cdot \frac{C_l}{C_{gs} + C_l + C_s}$$

この ΔV_p の値が大きいと、表示品位の低下をまねく。そのため、一般に液晶表示装置は、蓄積容量 C_s を大きくする方法がとられている。

【0083】この蓄積容量 C_s は、蓄積容量線と画素電極との間に介在する絶縁膜の誘電率を ϵ_x 、この絶縁膜の膜厚を T_x 、蓄積容量線と画素電極とのオーバーラップ面積を S_{cs} とすると、

$$C_s = \epsilon_0 \cdot \epsilon_x \cdot S_{cs} / T_x$$

で表される。したがって C_s を大きくするためには、蓄積容量線の面積を大きくすればよいが、蓄積容量線の面積を大きくすると、画素の開口率が低下する。なお、 ϵ_x や T_x は、製造プロセス上、歩留りなどを影響を及ぼすため、容易に変化させることができない。

【0084】このような蓄積容量 C_s について、従来の液晶表示装置では、図12に示すように、画素電極10と蓄積容量線15との間に介在する保護絶縁膜36によって形成される容量を C_a 、層間絶縁膜9によって形成される容量を C_b とすると、

$$C_s = C_1 = C_a \cdot C_b / (C_a + C_b)$$

となっている。

【0085】これに対して、上述した実施例9の液晶表示装置では、図13に示すように、画素電極10と蓄積容量電極42との間に保護絶縁膜36と層間絶縁膜39が介在するため、これら画素電極10と蓄積容量電極42との間に

$$C_1' = C_a' \cdot C_b' / (C_a' + C_b')$$

で表される第1の蓄積容量 C_1' が形成されるとともに、蓄積容量電極42と蓄積容量線15との間に絶縁膜16aと半導体層32aとが介在するため、その絶縁膜16

aにより形成される容量を C_c 、半導体層32aにより形成される容量を C_d とすると、これら蓄積容量電極42と蓄積容量線15との間に

$$C_2 = C_c \cdot C_d / (C_c + C_d)$$

で表される第2の蓄積容量 C_2 が形成され、

$$C_s' = C_1' + C_2$$

で表される蓄積容量 C_s' が形成される。

【0086】したがって、実施例9の液晶表示装置において、たとえば蓄積容量電極42の面積が従来の液晶表示装置の蓄積容量線15と同じで、

$$C_1 = C_1'$$

であるとする、

$$C_s' > C_s$$

となり、従来の液晶表示装置にくらべて面積の利用効率がよくなる。つまり、従来の液晶表示装置の蓄積容量と同じ蓄積容量を面積の小さい蓄積容量線15で形成でき、画素の開口率を向上させることができる。

【0087】しかも、蓄積容量電極42と蓄積容量線15との間の絶縁膜16aおよび半導体層32aをTFTを形成するとき、同一工程で形成できるため、スループットを低下させることなく液晶表示装置を製造することができる。

【0088】

【実施例10】図14に実施例10のアクティブマトリクス型液晶表示装置のアレイ基板を示す。図11に示した実施例9の液晶表示装置では、画素電極をTFTのソース電極および蓄積容量線と接続するために各1個のコンタクトホールを設けたが、この実施例10のアレイ基板2は、そのコンタクトホール45、18をそれぞれ複数個（図示例では2個）づつ設けたものである。

【0089】なお、このアレイ基板2のその他の構成については、図14に示した実施例10のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0090】このように画素電極10とTFT8のソース電極35および画素電極10と蓄積容量線15とを接続するためのコンタクトホール45、18を複数個づつ設けると、画素電極10とソース電極35および蓄積容量線15との接触抵抗を低くすることができる。

40 【0091】

【実施例11】図15に実施例11のアクティブマトリクス型液晶表示装置のアレイ基板を示す。図11に示した実施例9の液晶表示装置では、蓄積容量線に対して蓄積容量電極の幅を狭く形成したが、この実施例10のアクティブマトリクス型液晶表示装置のアレイ基板2は、蓄積容量線15に対して蓄積容量電極42の幅を広くしたものである。

【0092】なお、このアレイ基板2のその他の構成については、上記実施例9のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0093】このように蓄積容量電極42の幅を蓄積容量線15の幅よりも広くすると、蓄積容量電極42と蓄積容量線15との間に合わせずれが生じて、これら蓄積容量電極42と蓄積容量線15との間の蓄積容量C2の変化を避けることができるばかりでなく、蓄積容量電極42と画素電極10との間の第1の蓄積容量C1'を大きくすることができる(図13参照)。

【0094】

【実施例12】図16に実施例12のアクティブマトリクス型液晶表示装置のアレイ基板を示す。実施例9ないし実施例11の液晶表示装置のアレイ基板では、画素電極を横切るように走査線と平行に蓄積容量線および蓄積容量電極を設けたが、この実施例12のアレイ基板2は、前段の走査線6が自段の蓄積容量電極42を兼ね、この前段の走査線6と一部が重なるように蓄積容量線15が設けられ、かつこれら走査線6および蓄積容量電極42と一部が重なるように画素電極10が設けられている。

【0095】なお、このアレイ基板2のその他の構成については、上記実施例9のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0096】このように構成すると、蓄積容量線が画素電極を横切るアレイ基板にくらべて画素の開口をより大きくすることができる。

【0097】

【実施例13】図17に実施例13のアクティブマトリクス型液晶表示装置のアレイ基板を示す。このアレイ基板2は、走査線6と平行に画素電極10を横切る蓄積容量線15を走査線6と信号線7との交差点近くに設けられたTFT8方向に延長させて、TFT8のソース電極35に接続するとともに、蓄積容量電極42もTFT8方向に延長させ、TFT8の近くの保護絶縁膜36および層間絶縁膜9を貫通する1個のコンタクトホール18を介して画素電極10を蓄積容量線15の延在部またはソース電極35に接続したものである。

【0098】なお、このアレイ基板2のその他の構成については、上記実施例9のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0099】このように構成すると、1個のコンタクトホール18でソース電極35と画素電極10を接続でき、画素の開口を大きくすることができる。

【0100】

【実施例14】図18および図19に実施例14のアクティブマトリクス型液晶表示装置のアレイ基板を示す。

【0101】図18のアレイ基板2は、蓄積容量電極42上の層間絶縁膜9の厚さを蓄積容量電極42の面積よりも狭い領域で他の部分よりも薄くしたものである。

【0102】また図19のアレイ基板2は、蓄積容量電極42上の層間絶縁膜9の厚さを蓄積容量電極42の面積よりも広い領域で他の部分よりも薄くしたものであ

る。

【0103】なお、これらアレイ基板2のその他の構成については、上記実施例9のアレイ基板と同じであるので、同一部分に同一符号を付して説明を省略する。

【0104】このように蓄積容量電極42上の層間絶縁膜9の厚さを他の部分よりも薄くすると、蓄積容量電極42と画素電極10との間の蓄積容量C1を大きくすることができる。

【0105】さらにこのように層間絶縁膜9の厚さを薄くする場合、フォトリソ法により、蓄積容量電極42をマスクとして絶縁基板5側から露光して薄くする部分を形成することにより、合わせずれによる第1の蓄積容量C1の変化を防止することができる。

【0106】

【実施例15】図20に実施例15のアクティブマトリクス型液晶表示装置を示す。この液晶表示装置のアレイ基板2は、ガラスからなる透明絶縁基板5の対向基板との対向面に互いに交差する方向に複数本の走査線6と複数本の信号線7が設けられ、これら走査線6と信号線7の交差点の近くにTFT8が、また走査線6と信号線7により区画された複数の領域に画素電極10が設けられている。

【0107】またこのアレイ基板2では、前段の走査線6が自段の蓄積容量線15を兼ね、この前段の走査線6上に絶縁膜16を介して蓄積容量電極42が設けられている。またこのアレイ基板2では、光透過性層間絶縁膜がカラーフィルター層を構成する緑、赤に着色した樹脂被膜からなる3色の光透過性着色層間絶縁膜9B、9G、9R(図面には9Rにのみ図示)で構成されている。画素電極10は、これら着色層間絶縁膜9B、9G、9Rを介して上記蓄積容量電極42の一部と重なるように延在し、その蓄積容量電極42上の着色層間絶縁膜9B、9G、9Rを貫通するコンタクトホール18を介して蓄積容量電極42に接続され、TFT8のソース電極35とは、このソース電極35の着色層間絶縁膜9B、9G、9Rを貫通するコンタクトホール46を介して接続されている。さらにこのアレイ基板2では、画素電極10の周辺部と重なるように走査線6、信号線7およびTFT8上に遮光膜47が設けられている。

【0108】このような構造は、前段の走査線6が自段の蓄積容量線15を兼ねる点については実施例7のアレイ基板と同じであり、層間絶縁膜を青、緑、赤の光透過性着色層間絶縁膜9B、9G、9Rで構成されている点については実施例8のアレイ基板と同じであるが、特にこのアレイ基板2においては、図20(b)に示したように、上記コンタクトホール18を避けて、前段の走査線6上の蓄積容量電極42上に色着色層間絶縁膜9B、9G、9Rおよび遮光膜47が積層され、これら光透過性着色層間絶縁膜9B、9G、9Rおよび遮光膜47の積層部を対向基板3との間隔を規制するスペーサとして

いる。

【0109】なお、このアレイ基板2のその他の構成については、上記各実施例の液晶表示装置とはほぼ同じであるので、同一部分に同一符号を付して説明を省略する。

【0110】このような液晶表示装置のアレイ基板2は、つぎのように製造される。

【0111】まず絶縁基板5の対向基板3との対向面に、スパッターリング法によりMoとTaの積層膜を300nmの厚さに成膜し、フォトリソ法によりパターンニングして、走査線6、この走査線6と一体に接続されたゲート電極14および蓄積容量線15を形成する。つぎにプラズマCVD法により、これら走査線6、ゲート電極14および蓄積容量線15を覆うように絶縁基板5の全面にSiO₂からなる絶縁膜16を300nmの厚さに形成する。

【0112】つぎにプラズマCVD法により順次i型a-Siの被膜およびSiN_xの被膜をそれぞれ50nmおよび100nmの厚さに成膜し、そのSiN_xの被膜をフォトリソ法によりパターンニングして、上記ゲート電極14上にエッチング保護層33を形成する。つぎにプラズマCVD法によりn型a-Siの被膜を500nmの厚さに成膜したのち、フォトリソ法によりこのn型a-Siの被膜および上記i型a-Siの被膜をパターンニングして、半導体層32およびオーミックコンタクト層34を形成する。

【0113】つぎにスパッターリング法によりAlの被膜を300nmの厚さに成膜し、フォトリソ法によりパターンニングして、ソース電極35、ドレイン電極11、蓄積容量電極42および信号線7を形成する。

【0114】つぎにスピコート法により絶縁基板5の全面に着色層間絶縁膜9Rを成膜する。そしてフォトリソ法により蓄積容量線15上に着色層間絶縁膜9Rを貫通するコンタクトホール18を形成する。さらに上記着色層間絶縁膜9Rの形成方法と同様の方法を繰返して、蓄積容量線15上の着色層間絶縁膜9R上に順次着色層間絶縁膜9G、9Bを積重ねて3色着色層間絶縁膜9R、9G、9Bの積層部を形成する。つぎにスパッター法によりITOの被膜を成膜し、フォトリソ法によりパターンニングして画素電極10を形成する。さらにスパッター法により遮光材料を200nmの厚さに成膜し、フォトリソ法によりパターンニングして遮光膜47を形成する。

【0115】その後、低温キュア型ポリイミド樹脂を印刷塗布し、このポリイミド樹脂の被膜をラビング処理して配向膜を形成する。

【0116】この液晶表示装置のように、前段の走査線6が自段の蓄積容量線15を兼ね、かつその走査線6に3色の光透過性着色層間絶縁膜9B、9G、9Rおよび遮光膜47の積層部を形成して対向基板3との間隔を規制するスペーサとすると、画素の開口率を下げることな

くコントラストの良好な表示が得られる液晶表示装置とすることができる。

【0117】すなわち、アレイ基板と対向基板の間にマイクロバルからなるスペーサを配置してアレイ基板と対向基板との間隔を規制する従来の液晶表示装置では、そのマイクロバルによる光の散乱のために、表示のコントラストが低下したが、この実施例15の液晶表示装置のように走査線6上の蓄積容量電極42上に着色層間絶縁膜9B、9G、9Rおよび遮光膜47を積層してスペーサとすると、画素の開口率を下げることなく、かつマイクロバルによる光の散乱をなくして表示のコントラストを向上させることができる。

【0118】しかもこの着色層間絶縁膜9B、9G、9Rの積層部は、アレイ基板に各着色層間絶縁膜9B、9G、9Rを形成するとき、同時に形成できるため、スルーボットを低下させることなく形成することができる。

【0119】なお、上記スペーサを構成する3色光透過性着色層間絶縁膜9B、9G、9Rの大きさ、配置は、液晶表示装置を駆動したときの表示色が着色層間絶縁膜9B、9G、9Rの積層部の影響を受けないように、画素領域に設けられる層間絶縁膜の着色にしたがって、図21(a)ないし(c)に示すように変化させるとよい。

【0120】

【実施例16】図22に実施例16のアクティブマトリクス型液晶表示装置を示す。実施例15の液晶表示装置のアレイ基板では、前段の走査線が自段の蓄積容量線を兼ねる構造としたが、この実施例16のアレイ基板2は、蓄積容量線15が走査線6と信号線7により区画された領域に設けられる画素電極10の中央部を走査線6と平行に横切るように設けたものである。

【0121】この構造のアレイ基板では、画素電極10と蓄積容量電極42を接続するためのコンタクトホール18は、上記画素電極10の中央部を横切る蓄積容量電極42上に設けられる。またスペーサを構成する3色光透過性着色層間絶縁膜9B、9G、9Rおよび遮光膜47の積層部も、上記蓄積容量電極42上に設けられる。

なお、その他の構成については、上記実施例15の液晶表示装置とはほぼ同じであるので、同一部分に同一符号を付して説明を省略する。

【0122】このように構成しても、画素の開口率を下げることなくコントラストの良好な表示が得られる液晶表示装置とすることができる。

【0123】

【発明の効果】上記のようにアクティブマトリクス型液晶表示装置を構成すると、つぎのような効果が得られる。

【0124】(イ) 薄膜トランジスタのソース電極に接続された導電部材を設け、画素電極を蓄積容量線上の層間絶縁膜を貫通するコンタクトホールを介してその導

電部材に接続し、この導電部材を介してソース電極に接続すると、その導電部材を透明導電膜、あるいはソース電極と同じ遮光性材料で構成しても、その導電部材の面積を画素電極の面積よりも小さく、あるいは少なくとも一部を画素の開口部外に位置させ、あるいは前段の走査線が自段の蓄積容量線を兼ねたり、薄膜トランジスタに接近して設けることにより、画素の開口率を低下させることなく、必要な蓄積容量が得られ、消費電力が小さく、かつ焼付きやショットむらなどによる表示不良が生じない液晶表示装置とすることができる。

【0125】(ロ) 蓄積容量線の上に薄膜トランジスタを構成する半導体層およびゲート絶縁膜と同一材料からなる半導体層および絶縁膜を介して蓄積容量電極を設け、この蓄積容量電極上に設けられた薄膜トランジスタの保護絶縁膜および層間絶縁膜を貫通するコンタクトホールを介して画素電極を蓄積容量電極に接続し、蓄積容量電極と画素電極との間に第1の蓄積容量を形成し、蓄積容量電極と蓄積容量線との間に第2の蓄積容量を形成し、より具体的には、前段の走査線が自段の蓄積容量線を兼ねたり、あるいは蓄積容量線と画素電極との間の層間絶縁膜の厚さを他の部分の層間絶縁膜の厚さよりも薄くすることにより、比較的小面積の蓄積容量線や蓄積容量電極で必要な蓄積容量が得られ、画素の開口率を低下させることなく、表示不良が生じない液晶表示装置とすることができる。しかも薄膜トランジスタ構成材料を用いて、薄膜トランジスタと同一工程で蓄積容量を構成する部分を形成できるため、スループットを低下することなく液晶表示装置を製造することができる。

【0126】(ハ) 蓄積容量線の上に絶縁膜を介して画素電極に接続される蓄積容量電極を設け、この画素電極と蓄積容量電極との接続部を避けて蓄積容量線の上にカラーフィルター層を構成する3色着色層間絶縁膜と遮光膜を積層し、この3色着色層間絶縁膜と遮光膜の積層をアレイ基板と対向基板とのスペーサとすることにより、画素の開口率を下げることなくコントラストの良好な表示が得られる液晶表示装置とすることができる。

【図面の簡単な説明】

【図1】図1(a)はこの発明の実施の形態を説明するための実施例1の液晶表示装置の構成を示す平面図、図1(b)はそのB-B断面図、図1(c)はC-C断面図である。

【図2】この発明の実施の形態を説明するための実施例2の液晶表示装置のアレイ基板の構成を示す平面図である。

【図3】この発明の実施の形態を説明するための実施例3の液晶表示装置のアレイ基板の構成を一部切欠いて示した平面図である。

【図4】この発明の実施の形態を説明するための実施例4の液晶表示装置のアレイ基板の構成を一部切欠いて示した平面図である。

【図5】同じく実施例4の液晶表示装置の異なるアレイ基板の構成を一部切欠いて示した平面図である。

【図6】図6(a)はこの発明の実施の形態を説明するための実施例5の液晶表示装置の構成を示す平面図、図6(b)はそのB-B断面図である。

【図7】この発明の実施の形態を説明するための実施例6の液晶表示装置のアレイ基板の構成を示す平面図である。

【図8】この発明の実施の形態を説明するための実施例7の液晶表示装置のアレイ基板の構成を示す平面図である。

【図9】同じく実施例7の液晶表示装置の異なるアレイ基板の構成を示す平面図である。

【図10】図10(a)はこの発明の実施の形態を説明するための実施例8の液晶表示装置の構成を一部切欠いて示した平面図、図10(b)はそのB-B断面図、図10(c)はC-C断面図である。

【図11】図11(a)はこの発明の実施の形態を説明するための実施例9の液晶表示装置の構成を一部切欠いて示した平面図、図11(b)はそのB-B断面図、図11(c)はC-C断面図である。

【図12】図12(a)および(b)はそれぞれ図11に示した実施例9の液晶表示装置の蓄積容量と比較するために示した従来の液晶表示装置の蓄積容量の説明図である。

【図13】図13(a)および(b)はそれぞれ図11に示した実施例9の液晶表示装置の蓄積容量を説明するための図である。

【図14】この発明の実施の形態を説明するための実施例10の液晶表示装置のアレイ基板の構成を一部切欠いて示した平面図である。

【図15】この発明の実施の形態を説明するための実施例11の液晶表示装置のアレイ基板の構成を一部切欠いて示した平面図である。

【図16】図16(a)はこの発明の実施の形態を説明するための実施例12の液晶表示装置の構成を示す平面図、図16(b)はそのB-B断面図である。

【図17】図17(a)はこの発明の実施の形態を説明するための実施例13の液晶表示装置の構成を示す平面図、図17(b)はそのB-B断面図、図17(c)はC-C断面図である。

【図18】この発明の実施の形態を説明するための実施例14の液晶表示装置のアレイ基板の要部構成を示す断面図である。

【図19】同じく実施例14の液晶表示装置の異なるアレイ基板の要部構成を示す断面図である。

【図20】図20(a)はこの発明の実施の形態を説明するための実施例15の液晶表示装置の構成を示す平面図、図20(b)はそのB-B断面図、図20(c)はC-C断面図、図20(d)はD-D断面図である。

【図21】図21(a)ないし(c)はそれぞれ図20に示した実施例15の液晶表示装置のスペーサを構成する着色層間絶縁膜の積層構造の異なる構成を示す図である。

【図22】図22(a)はこの発明の実施の形態を説明するための実施例16の液晶表示装置の構成を示す平面図、図22(b)はそのB-B断面図、図22(c)はC-C断面図、図22(d)はD-D断面図である。

【図23】図23(a)は従来の液晶表示装置の構成を示す平面図、図23(b)はそのB-B断面図、図23(c)はC-C断面図である。

【図24】図24は従来の異なる液晶表示装置の構成を示す平面図である。

【符号の説明】

2…アレイ基板

3…対向基板

* 5…絶縁基板

6…走査線

7…信号線

8…薄膜トランジスタ

9…層間絶縁膜

9B, 9C, 9R…着色層間絶縁膜

10…画素電極

15…蓄積容量線

16…ゲート絶縁膜

18…コンタクトホール

32…半導体層

35…ソース電極

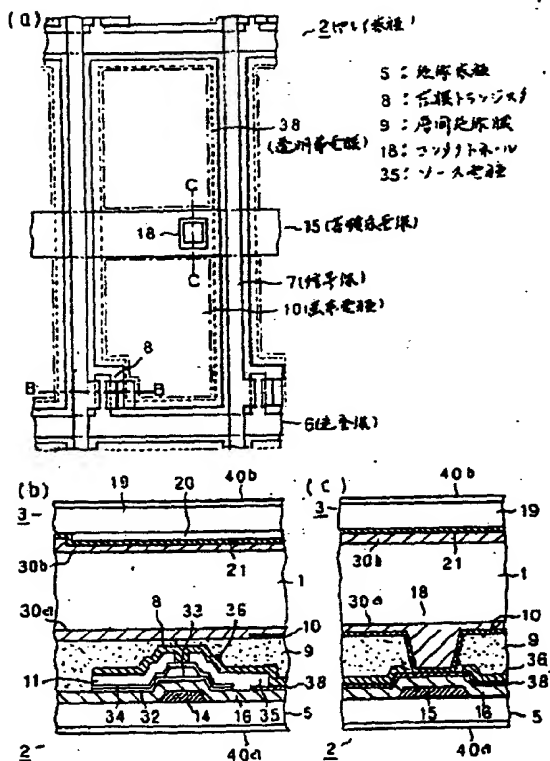
36…絶縁保護膜

38…透明導電膜

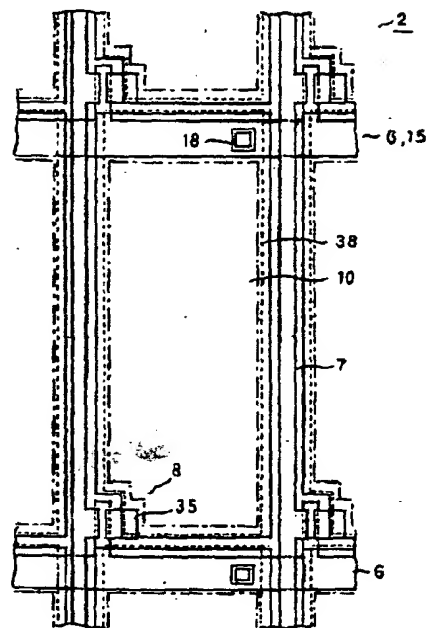
42…蓄積容量電極

* 47…遮光膜

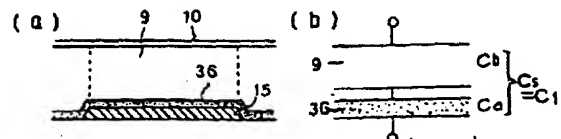
【図1】



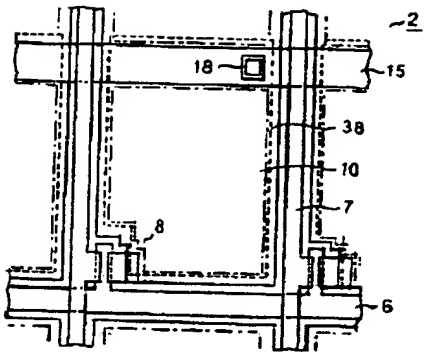
【図2】



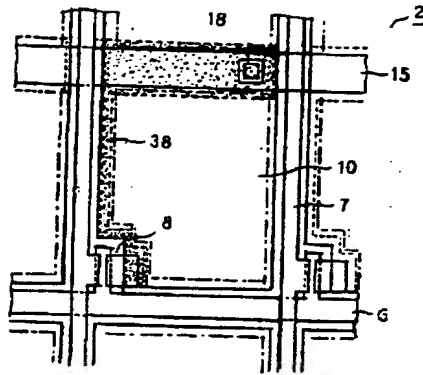
【図12】



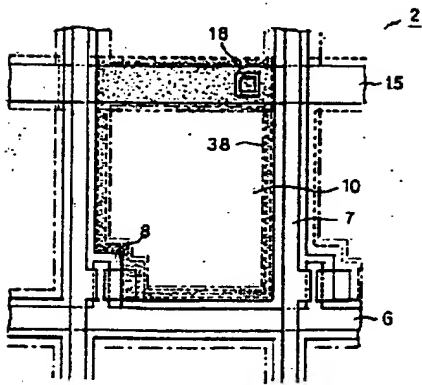
【図3】



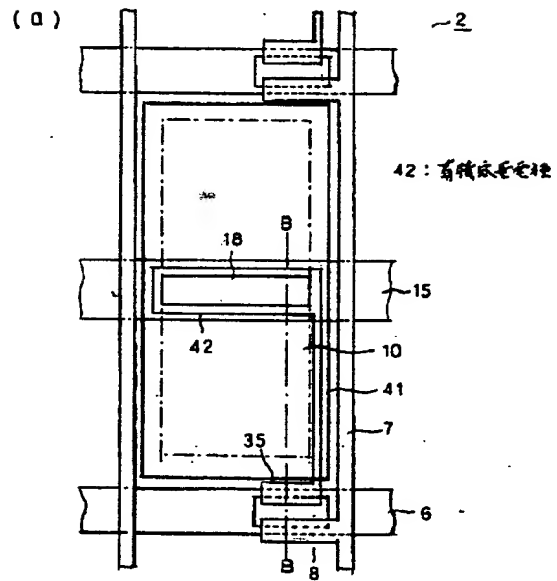
【図4】



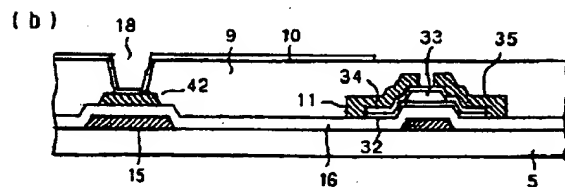
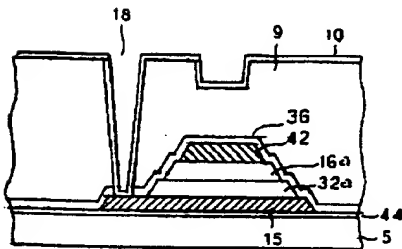
【図5】



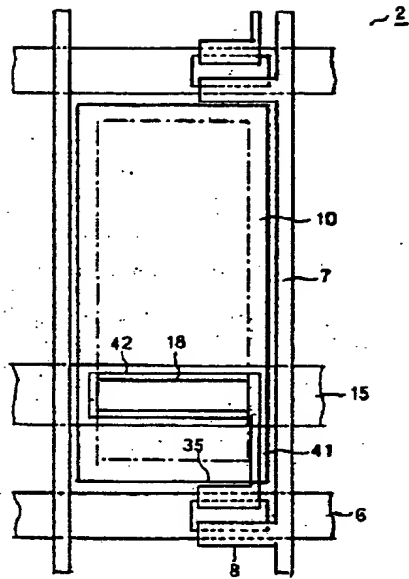
【図6】



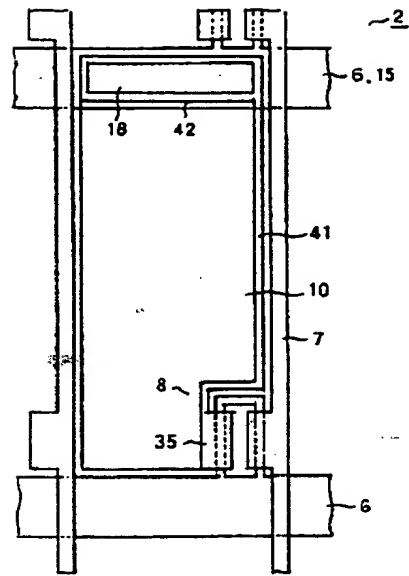
【図18】



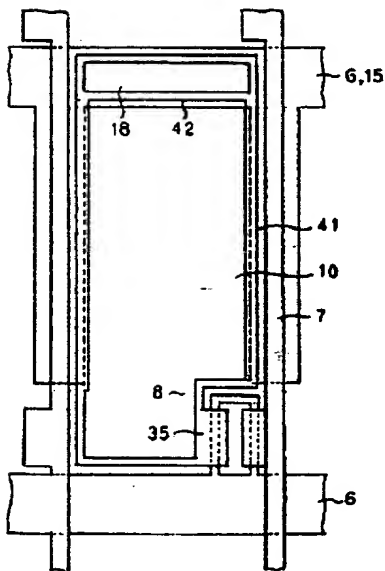
【図7】



【図8】

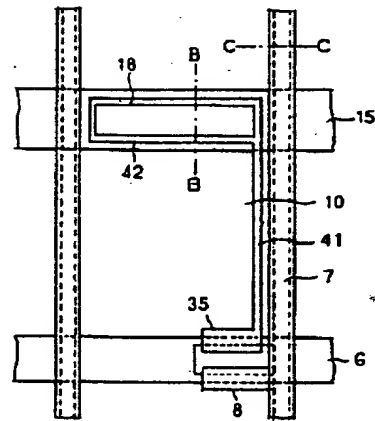


【図9】

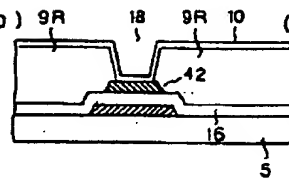


【図10】

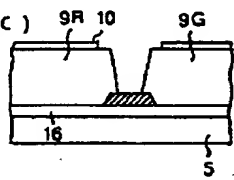
(a)



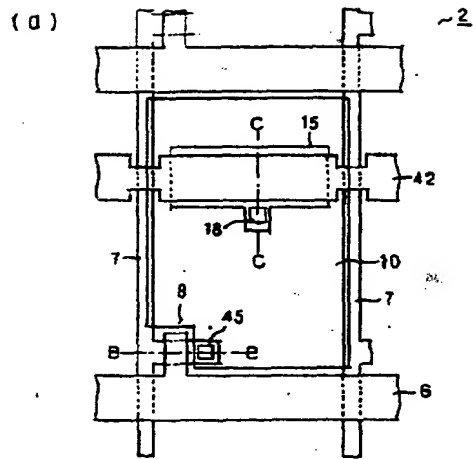
(b)



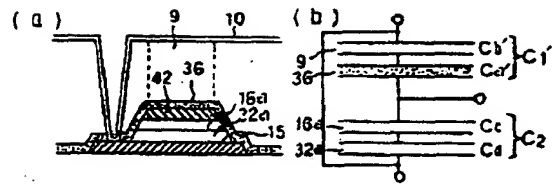
(c)



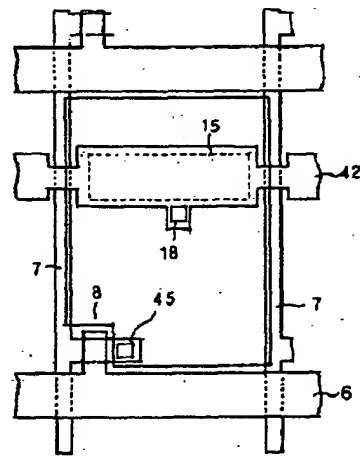
【図11】



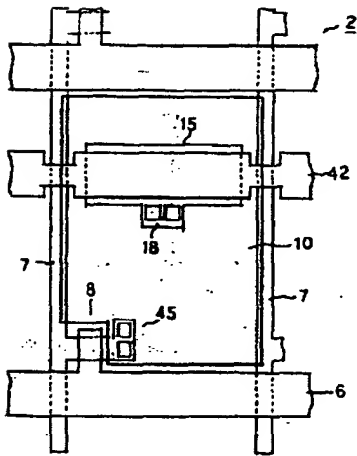
【図13】



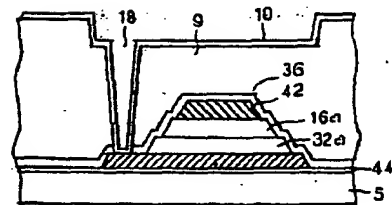
【図15】



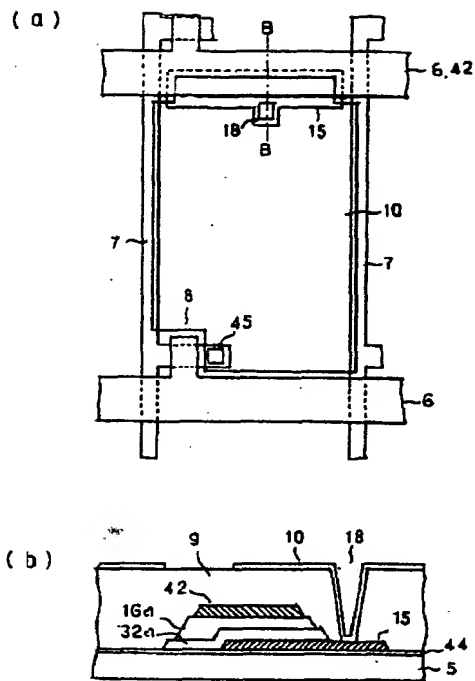
【図14】



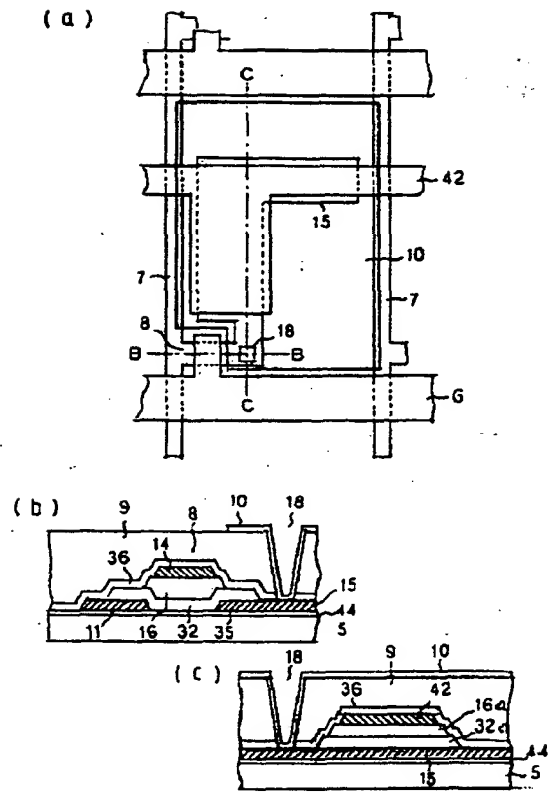
【図19】



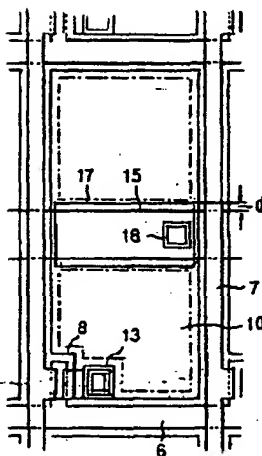
【図16】



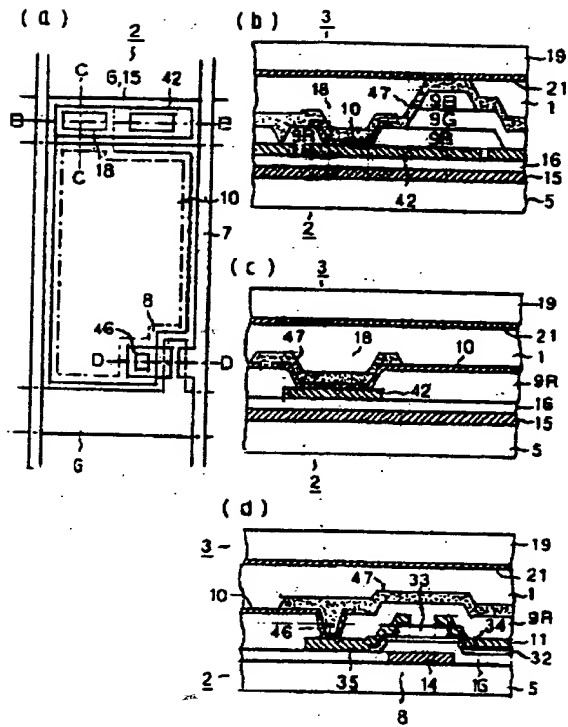
【図17】



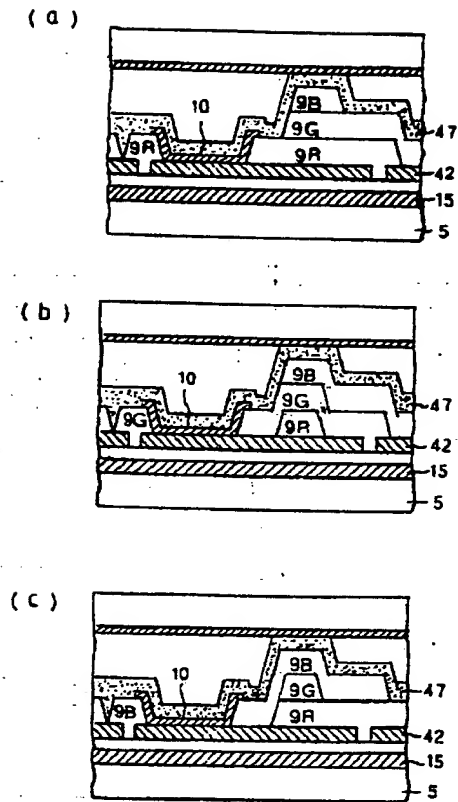
【図24】



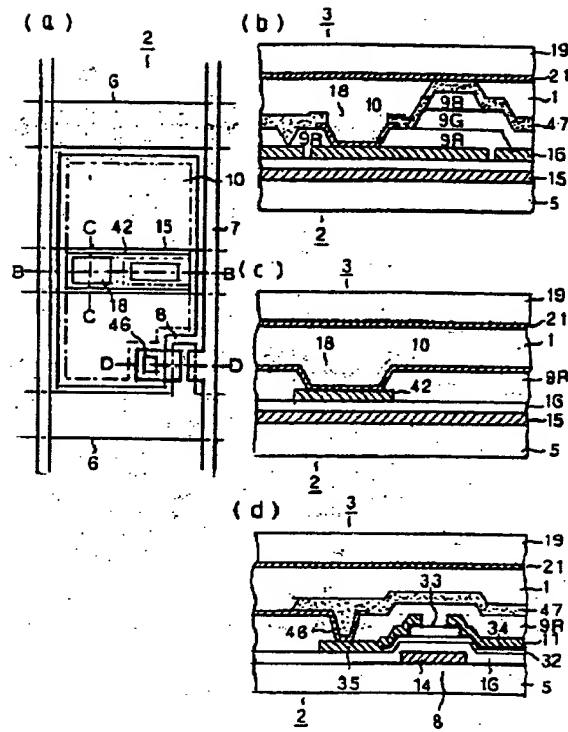
【図20】



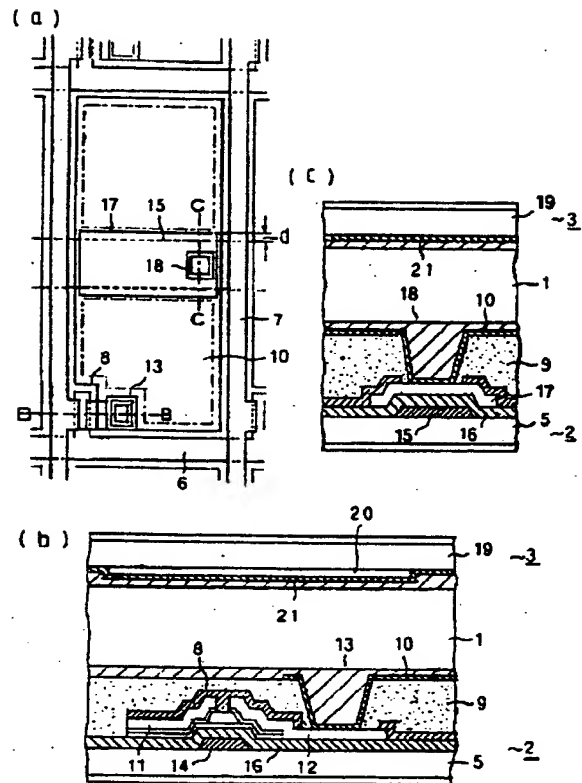
【図21】



【図22】



【図23】



フロントページの続き

(72)発明者 伊月 義治
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 北沢 倫子
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 永山 耕平
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 中里 雅弘
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 竹林 希佐子
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 飯塚 哲也
神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内